

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-132088

(43)Date of publication of application : 06.05.1992

(51)Int.Cl.

G11C 16/06  
 G05F 1/10  
 G05F 1/575  
 H01L 27/04  
 H01L 27/10  
 H01L 29/788  
 H01L 29/792

(21)Application number : 02-312990

(71)Applicant : SAMSUNG ELECTRON CO LTD

(22)Date of filing : 20.11.1990

(72)Inventor : KIM JIN-GI  
 LEE WOONG-MU

(30)Priority

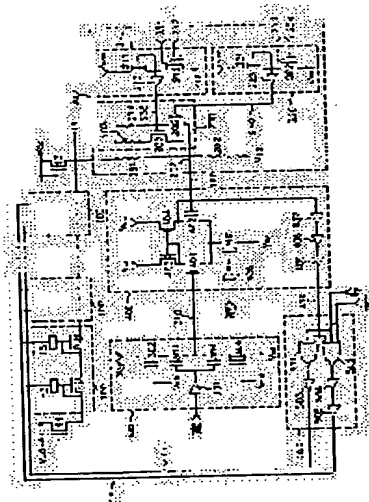
Priority number : 90 9015225 Priority date : 25.09.1990 Priority country : KR

## (54) HIGH VOLTAGE GENERATING CIRCUIT IN SEMICONDUCTOR MEMORY ELEMENT

(57)Abstract:

PURPOSE: To suitably regulate a high voltage level used in a EEPROM by inputting the output of a voltage comparing and amplifying means controlled with a write enable signal, the write enable signal and a pumping clock pulse and generating a first and second pumping control signal.

CONSTITUTION: The pumping control signal generating circuit 500 is composed of two NOR gates 501, 502 which input in common a prescribed pumping clock  $\phi_{p,p}$ , the write enable signal WE and the output of the comparing and amplifying means 400, and inverters 503-505 which invert the output of NOR gates 501, 502 respectively and output two pumping control signals 17, 18 having mutually different logics. By this way, the high voltage level used as the erasing and programing voltage for the EEPROM is suitably regulated.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

Searching PAJ

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection][Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-132088

⑬ Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)5月6日

G 11 C 16/06

9191-5L G 11 C 17/00 3 0 9 D  
7514-4M H 01 L 29/78 3 7 1 ※

審査請求 有 請求項の数 17 (全13頁)

⑭ 発明の名称 半導体メモリ素子及びEEPROMの高電圧発生回路

⑮ 特 願 平2-312990

⑯ 出 願 平2(1990)11月20日

優先権主張 ⑰ 1990年9月25日 ⑱ 韓国(KR) ⑲ 15225/1990

⑳ 発 明 者 ジン・ギ・キム 韓国 ソウル グロ・グ・グロ 5・ドン・23-14番・ウーソン エイビーティー、#1-909

㉑ 発 明 者 ウオン・ム・リー 韓国 ソウル・タンダエムーン・グ・タシリ・ドン・498-30番

㉒ 出 願 人 サムソン・エレクトロニクス・カンパニー・リミテッド 韓国 キョング・ドー・スウオン・シイ・クオンサン・グ・メタン・ドン #416

㉓ 代 理 人 弁理士 大塚 康徳 外1名  
最終頁に続く

明 細 書

1. 発明の名称

8V EEPROM  
半導体メモリ素子の高電圧発生回路

2. 特許請求の範囲

(1) 半導体メモリ素子の高電圧発生回路において、

高電圧出力端と、

電源電圧端と前記高電圧出力端との間に直列に連結され相互に反対論理の第1及び第2のポンピング制御信号によつて制御される複数の電圧ポンプ手段と、

前記高電圧出力端と接地電圧端との間に連結されて前記高電圧出力端の電圧レベルを感知する高電圧感知手段と、

前記電源電圧端と接地電圧端との間に連結されライトエネイブル信号によつて制御されて所定レベルの基準電圧を出力する基準電圧発生手段と、

前記電圧感知手段と前記基準電圧発生手段との出力を入力比較し該2つの出力の差を増幅し、前記ライトエネイブル信号によつて制御される比較

増幅手段と、

前記ライトエネイブル信号と、ポンピングクロックパルスと、前記比較増幅手段の出力とを入力して前記第1及び第2のポンピング制御信号を発生するポンピング制御信号発生手段とを有することを特徴とする半導体メモリ素子の高電圧発生回路。

(2) 前記高電圧感知手段が、

前記高電圧出力端と接地電圧端との間に直列連結された第1及び第2抵抗と、

前記第1及び第2抵抗との間の出力ノードとを有することを特徴とする請求項第1項に記載の半導体メモリ素子の高電圧発生回路。

(3) 前記ポンピング制御信号発生手段が、

前記ライトエネイブル信号と、前記ポンピングクロックパルスと、前記比較増幅手段の出力とを各々同時に入力する2つのNORゲートを有することを特徴とする請求項第1項に記載の半導体メモリ素子の高電圧発生回路。

(4) 半導体メモリ素子の高電圧発生回路において

て、

高電圧出力端と、

電源電圧端と前記高電圧出力端との間に直列に連結され第1及び第2のポンピング制御信号によつて制御される複数の電圧ポンプ回路と、

前記高電圧出力端及び接地電圧端との間に直列連結された第1及び第2抵抗と前記第1及び第2抵抗の間に位置した出力ノードとを有する高電圧感知手段と、

前記電源電圧端と接地電圧端との間に連結されライトエネイブル信号によつて制御されて所定レベルの基準電圧を発生する基準電圧発生手段と、

前記高電圧感知手段と前記基準電圧発生手段との出力を入力比較し該2つの出力の差を増幅し、前記ライトエネイブル信号によつて制御される比較増幅手段と、

前記比較増幅増幅手段の二つの入力端の一つに連結されたダイナミック抵抗手段と、

前記ライトエネイブル信号と、ポンピングクロックパルスと、前記比較増幅手段の出力とを入力

セル状態制御信号に連結されコントロールゲートがリセット信号に連結されたEEPROMヒューズセルと、

前記デプレッショントランジスタのソースと前記EEPROMヒューズセルのドレインとの間に接続された出力端とを有することを特徴とする請求項第5項に記載の半導体メモリ素子の高電圧発生回路。

(7) 前記ポンピング制御信号出力手段は、

前記ライトエネイブル信号、とポンピングクロックパルスと、前記比較増幅手段の出力とを各々同時に入力するNORゲートとを有することを特徴とする請求項第4項に記載の半導体メモリ素子の高電圧発生回路。

(8) EEPROMの高電圧発生回路において、高電圧出力端と、

電源電圧端と前記高電圧出力端との間に直列に連結され相互に反対の位相をもつ二つの信号によつて制御される複数の電圧ポンプ回路と、

前記高電圧出力端と接地電圧端との間に直列連

して相互に反対の論理をもつ第1及び第2ポンピング制御信号を発生するポンピング制御信号発生手段とを有することを特徴とする半導体メモリ素子の高電圧発生回路。

(5) 前記ダイナミック抵抗手段は、

所定の制御信号の印加を受けるゲートをもつ絶縁ゲートトランジスタと、

前記絶縁ゲートトランジスタに直列連結された抵抗とを有し、

前記絶縁ゲートトランジスタのゲートがEEPROMヒューズ回路の出力端に連結されており、前記絶縁ゲートトランジスタのチャネルが前記比較増幅手段の二つの入力端の一つに連結されていることを特徴とする請求項第4項に記載の半導体メモリ素子の高電圧発生回路。

(6) 前記EEPROMヒューズ回路は、

電源電圧端にドレインが接続されゲートにソースが接続されたデプレッショントランジスタと、

チャネルが前記デプレッショントランジスタのソースと接地電圧端との間に連結されドレインが

結された第1及び第2抵抗と前記第1及び第2抵抗間の出力ノードとを有し、前記高電圧出力端の電圧レベルを感知する高電圧感知手段と、

前記高電圧感知手段の第1抵抗と並列連結され所定の制御信号の印加を受けるゲートをもつ絶縁ゲートトランジスタと一つの抵抗とを有するダイナミック抵抗手段と、

前記電源電圧端と接地電圧端との間に連結されライトエネイブル信号によつて制御されて所定レベルの基準電圧を発生する基準電圧発生手段と、

前記高電圧感知手段と前記基準電圧発生手段との出力を入力比較し該2つの出力の差を増幅し、前記ライトエネイブル信号によつて制御される比較増幅手段と、

前記ライトエネイブル信号と、ポンピングクロックパルスと、前記比較増幅手段の出力を入力して相互に反対の位相をもつ二つの信号を発生するポンピング制御信号発生手段とを有することを特徴とするEEPROMの高電圧発生回路。

(9) 前記絶縁ゲートトランジスタのゲートは、

プログラム状態感知手段の出力端に連結されていることを特徴とする請求項第8項に記載のEEPROMの高電圧発生回路。

(10) 前記EEPROMヒューズ回路は、

電源電圧端にドレインが接続されゲートにソースが接続されたデプレッショントランジスタと、

チャネルが前記デプレッショントランジスタのソースと接地電圧端との間に連結されドレインがセル状態制御信号に連結されコントロールゲートがリセット信号に連結されたEEPROMヒューズセルと、

前記デプレッショントランジスタのソースと前記EEPROMヒューズセルのドレインとの間に接続された出力端とを有することを特徴とする請求項第8項あるいは第9項に記載のEEPROMの高電圧発生回路。

(11) 前記ダイナミック抵抗手段の抵抗要素が多結晶シリコン抵抗もしくは通常オン状態のデプレッショントランジスタを有することを特徴とする請求項第8項に記載のEEPROMの高電圧発生回路。

の基準電圧を発生する基準電圧発生手段と、

電源電圧端と接地電圧端との間に連結されてライトエネイブル信号によつて制御されて所定の出力端をもつダイナミック抵抗手段と、

前記基準電圧発生手段と前記高電圧感知手段との出力を入力比較し該2つの出力の差を増幅し、前記ライトエネイブル信号によつて制御される比較増幅手段と、

前記ライトエネイブル信号と、ポンピングクロックパルスと、前記比較増幅手段の出力とを入力して相互に反対の位相をもつ二つの信号を発生するポンピング制御信号発生手段とを有することを特徴とするEEPROMの高電圧発生回路。

(14) 前記ダイナミック抵抗手段は、

前記基準電圧発生手段の出力端と接地電圧端との間に直列に連結された絶縁ゲートトランジスタと抵抗要素とを有し、

前記絶縁ゲートトランジスタのゲートがEEPROMヒューズ回路の出力端に連結されていることを特徴とする請求項第13項に記載のEEPROMの高電圧発生回路。

生回路。

(12) 前記ポンピング制御信号発生手段は、前記ライトエネイブル信号と、ポンピングクロックパルスと、前記比較増幅手段の出力とを各々同時に入力する二つのNORゲートと、

前記NORゲートの出力を各々入力して各々反対の論理をもつ信号を発生するインバータと、

バッファとを有することを特徴とする請求項第8項に記載のEEPROMの高電圧発生回路。

(13) EEPROMの高電圧発生回路において、

高電圧出力端と、

電源電圧端と前記高電圧出力端との間に直列に連結され相互に反対の位相をもつ二つの信号によつて制御される複数個の電圧ポンプ回路と、

前記高電圧出力端と接地電圧端との間に連結されて前記高電圧出力端の電圧レベルを感知する高電圧感知手段と、

電源電圧端と接地電圧端との間に連結されライトエネイブル信号によつて制御されて所定レベル

の高電圧発生回路。

(15) 前記ダイナミック抵抗手段の抵抗要素は多結晶シリコン抵抗あるいは通常オン状態のデプレッショントランジスタを有することを特徴とする請求項第14項に記載のEEPROMの高電圧発生回路。

(16) 前記EEPROMヒューズ回路は、

電源電圧端にドレインが接続されゲートにソースが接続されたデプレッショントランジスタと、

チャネルが前記デプレッショントランジスタのソースと接地電圧端との間に連結されドレインが所定のセル状態制御信号に連結されコントロールゲートがリセット信号に連結されたEEPROMヒューズセルと、

前記デプレッショントランジスタのソースと前記EEPROMヒューズセルのドレインとの間に接続された出力端とを有することを特徴とする請求項第14項に記載のEEPROMの高電圧発生回路。

(17) 前記ポンピング制御信号発生手段は、

前記ライトエネイブル信号と、ポンピングクロックパルスと、前記比較増幅手段の出力とを各々同時に入力する二つのNORゲートと、

前記NORゲートの出力を各々入力して相互に反対の論理をもつ信号を発生するインバータと、

パツファとを有することを特徴とする請求項第13項に記載のEEPROMの高電圧発生回路。

たはドレイン領域からフローティングゲートに電子がトンネリングされる。加えて、フラッシュ型のEEPROMの場合には、すべてのメモリセルのデータが一挙に消去される方式を採用されている。また、プログラム時にはメモリセルの役割を果たすフローティングゲート電界効果トランジスタは、制御ゲート電極を接地させドレインに高電圧を印加することによつて、デプレッション型に作られている。従つて、一般的にEEPROMは上記消去及びプログラム動作に必要な高電圧発生回路を有している。

第4図は従来例の高電圧発生回路図である。第4図に示されるように、従来の高電圧発生回路はオシレーター等で発生されるポンピングクロック4、4'にตอบสนองする複数のポンピング回路1が直列に連結されており、初段にあるポンピング回路1は電源電圧端V<sub>cc</sub>にドレインとゲートが接続されたNMOSTランジスタ2と連結されている。また、ポンピングクロック4、4'は相互に位相が反対である。

### 3. 発明の詳細な説明

#### 〔産業上の利用分野〕

本発明は電氣的に消去及びプログラム可能な半導体メモリ素子（以下、“EEPROM”と称する）の高電圧発生回路に関し、特に、フラッシュ型のEEPROMで使用される高電圧型のレベルを容易に調整しうる高電圧発生回路に関する。

#### 〔従来の技術〕

従来、一般に電氣的に消去可能でプログラム可能なROM (Electrically Erasable and Programmable ROM; 以下、EEPROMという) は、ゲート電圧が印加される制御ゲート電極とチャネルとの間に絶縁されたフローティングゲートをもつフローティングゲート電界効果トランジスタを一つのメモリセルとして使用し、フローティングゲートとトランジスタの活性領域との間の電子のトンネリング現象を利用して消去またはプログラムするメモリ素子である。

消去時にはゲート電極に15～20Vの高電圧を印加することにより、トランジスタのソースま

また、最終段にあるポンピング回路の出力は、高レベルの消去電圧をメモリセルの制御ゲート電極に印加することになる高電圧出力端10に接続されている。この消去電圧は、ロウデコードを通じて該当するワードラインに供給されたり、または、プログラムラッチ回路（不図示）を通じてメモリセルのドレインと連結されたビットラインに供給される。

高電圧出力端10と電源電圧端との間には、電源電圧端にドレインとゲートが接続されたN型プリアップトランジスタ5が連結されており、また、高電圧出力端10と接地電圧端との間には、電源電圧端にソース及びゲートが接続されたN型クランピングトランジスタ3が連結されている。

ポンピング回路1各々は、ポンピングクロックパルス4、4'の印加を受けるキャパシタ6、8と、キャパシタ6、8の他の電極にゲート及びドレインが接続されたNMOSTランジスタ7、9とから構成されている。さて、NMOSTランジスタ2は電源電圧V<sub>cc</sub>を閾値電圧V<sub>th</sub>だけ降下さ

せる。その降下した電圧は、ポンピング回路1のNMOSTランジスタ7のドレイン及びゲートに印加され、ポンピングクロックパルス4、4'に反応して降下した電圧を所定の高レベルまで電圧を引き上げる。高電圧出力端10に出力される高電圧のレベルは、ポンピング回路1の数に依存することは、この分野の通常の知識をもつものは容易に理解できることである。

〔発明が解決しようとする課題〕

しかしながら上記従来例では、以下に述べる問題点があつた。即ち、

ブルアップトランジスタ5は、ポンピング回路1が動作しないときに高電圧出力端10の電圧を $V_{cc}-V_{th}$ に維持させる役割を果たす。クランピングトランジスタ3はNMOSTランジスタであるが、ゲートが接地電圧端に接続されているので、ブレイクダウン領域で動作する。

このような従来の高電圧発生回路においては、ポンピングクロックパルス4、4'がポンピング回路1に印加されることに、ポンピング回路1の

電圧レベルが増加し、その増加された電圧はクランピングトランジスタ3のブレイクダウンレベルでクランプされことになる。

従つて、クランピングトランジスタ3は高電圧出力時に起因するストレスを直接的に受けるようになり、トランジスタが破壊される危険がある。

さらに、クランピングトランジスタ3は製造工程上の変化要因によつてブレイクダウン電圧が設計上の値に正確に設定されないこともあるので、高電圧のレベルを調整することが困難なものとなる。さらに、メモリ素子の製造後は、そのような調整が不可能である。

本発明は上記従来例に鑑みてなされたもので、EEPROMで消去及びプログラム電圧として使用される高電圧のレベルを適切に調整しうる高電圧発生回路を提供することを目的とする。

また、本発明の他の目的はEEPROMでメモリセルの消去及びプログラム状態によりプログラム電圧のレベルを適切に調整しうる高電圧発生回路を提供することにある。

〔課題を解決するための手段〕

上記目的を達成するために本発明の高電圧発生回路は、以下の様な構成からなる。即ち、

半導体メモリ素子の高電圧発生回路において、高電圧出力端と、電源電圧端と前記高電圧出力端との間に直列に連結され相互に反対論理の第1及び第2のポンピング制御信号によつて制御される複数の電圧ポンプ手段と、前記高電圧出力端と接地電圧端との間に連結されて前記高電圧出力端の電圧レベルを感知する高電圧感知手段と、前記電源電圧端と接地電圧端との間に連結されライトエネイブル信号によつて制御されて所定レベルの基準電圧を出力する基準電圧発生手段と、前記電圧感知手段と前記基準電圧発生手段との出力を入力比較し該2つの出力の差を増幅し、前記ライトエネイブル信号によつて制御される比較増幅手段と、前記ライトエネイブル信号と、ポンピングクロックパルスと、前記比較増幅手段の出力とを入力して前記第1及び第2のポンピング制御信号を発生するポンピング制御信号発生手段とを有する

ことを特徴とする半導体メモリ素子の高電圧発生回路を備える。

また他の発明によれば、半導体メモリ素子の高電圧発生回路において、高電圧出力端と、電源電圧端と前記高電圧出力端との間に直列に連結され第1及び第2のポンピング制御信号によつて制御される複数の電圧ポンプ回路と、前記高電圧出力端及び接地電圧端との間に直列連結された第1及び第2抵抗と前記第1及び第2抵抗の間に位置した出力ノードとを有する高電圧感知手段と、前記電源電圧端と接地電圧端との間に連結されライトエネイブル信号によつて制御されて所定レベルの基準電圧を発生する基準電圧発生手段と、前記高電圧感知手段と前記基準電圧発生手段との出力を入力比較し該2つの出力の差を増幅し、前記ライトエネイブル信号によつて制御される比較増幅手段と、前記比較増幅増幅手段の二つの入力端の一つに連結されたダイナミック抵抗手段と、前記ライトエネイブル信号と、ポンピングクロックパルスと、前記比較増幅手段の出力とを入力して相

互に反対の論理をもつ第1及び第2ポンピング制御信号を発生するポンピング制御信号発生手段とを有することを特徴とする半導体メモリ素子の高電圧発生回路を備える。

また他の発明によれば、EEPROMの高電圧発生回路において、高電圧出力端と、電源電圧端と前記高電圧出力端との間に直列に連結され相互に反対の位相をもつ二つの信号によつて制御される複数の電圧ポンプ回路と、前記高電圧出力端と接地電圧端との間に直列連結された第1及び第2抵抗と前記第1及び第2抵抗間の出力ノードとを有し、前記高電圧出力端の電圧レベルを感知する高電圧感知手段と、前記高電圧感知手段の第1抵抗と並列連結され所定の制御信号の印加を受けるゲートをもつ絶縁ゲートトランジスタと一つの抵抗とを有するダイナミック抵抗手段と、前記電源電圧端と接地電圧端との間に連結されライトエネイブル信号によつて制御されて所定レベルの基準電圧を発生する基準電圧発生手段と、前記高電圧感知手段と前記基準電圧発生手段との出力を入

力比較し該2つの出力の差を増幅し、前記ライトエネイブル信号によつて制御される比較増幅手段と、前記ライトエネイブル信号と、ポンピングクロックパルスと、前記比較増幅手段の出力を入力して相互に反対の位相をもつ二つの信号を発生するポンピング制御信号発生手段とを有することを特徴とするEEPROMの高電圧発生回路を備える。

また他の発明によれば、EEPROMの高電圧発生回路において、高電圧出力端と、電源電圧端と前記高電圧出力端との間に直列に連結され相互に反対の位相をもつ二つの信号によつて制御される複数の電圧ポンプ回路と、前記高電圧出力端と接地電圧端との間に連結されて前記高電圧出力端の電圧レベルを感知する高電圧感知手段と、電源電圧端と接地電圧端との間に連結されライトエネイブル信号によつて制御されて所定レベルの基準電圧を発生する基準電圧発生手段と、電源電圧端と接地電圧端との間に連結されてライトエネイブル信号によつて制御されて所定の出力端をもつ

ダイナミック抵抗手段と、前記基準電圧発生手段と前記高電圧感知手段との出力を入力比較し該2つの出力の差を増幅し、前記ライトエネイブル信号によつて制御される比較増幅手段と、前記ライトエネイブル信号と、ポンピングクロックパルスと、前記比較増幅手段の出力とを入力して相互に反対の位相をもつ二つの信号を発生するポンピング制御信号発生手段とを有することを特徴とするEEPROMの高電圧発生回路を備える。

#### 【作用】

以上の構成により、本発明は電圧ポンプ手段によつて発生した高電圧を高電圧感知手段が感知し、その電圧を基準電源電圧発生手段によつて出力された基準電圧と比較し、その比較結果に基づいて前記の高電圧を制御するよう動作する。

#### 【実施例】

以下添付図面を参照して本発明の好適な実施例を詳細に説明する。

第1図は、本発明の代表的な実施例である高電圧発生回路構成を示すブロック図である。第1図

に示すように、本実施例の高電圧発生回路は、電源電圧端にドレイン及びゲートが接続されたN型の第1及び第2のプリアップトランジスタ11、12と、第1のプリアップトランジスタ11のソースと第2のプリアップトランジスタ12のソースとの間に直列に連結された複数の電圧ポンプ回路100を有している。さらに、第2のプリアップトランジスタ12のソースは高電圧出力端19に接続されている。電圧ポンプ回路100は、キャパシタ13、15とトランジスタ14、16とから構成された従来例の第4図で示したポンピング回路1と同一な構成をもつものである。第1のプリアップトランジスタ11と第2のプリアップトランジスタ12は各々、第4図に示したNMOSTランジスタ2及びプリアップトランジスタ5と同一なものである。

高電圧出力端19と電圧ポンプ回路100との間には、フィードバック回路が形成されている。即ち、フィードバック回路は、高電圧出力端19に連結された高電圧感知回路200と、所定レベ



ルの基準電圧を発生する基準電圧発生回路300と、高電圧感知回路200の出力を入力して基準電圧発生回路300の基準電圧と比較し二つの入力レベルの差を増幅して出力する比較増幅回路400と、比較増幅回路400の出力を入力して電圧ポンプ回路100のキャパシタ13、15の一つの電極に印加されるポンピング制御信号17、18を発生するポンピング制御信号発生回路500とを有している。ここで、高電圧感知回路200または基準電圧発生回路300内にはメモリの消去及びプログラム状態を認識する回路が具備せらる。

第2図は第1図に示した本実施例の高電圧発生回路の構成をより詳細に示した回路図である。

第2図には第1図にある構成要素の内部回路が各々図示されている。第2図において、プログラム状態を感知する高電圧感知回路200内にEEPROMヒューズ回路210、220が備えられている。これらの回路は高電圧感知回路200内に備えられる代わりに後述する第3図に示すよう

れ、ゲートとソースが共通接続されたデプレッショントランジスタ211、221と、チャネルがデプレッショントランジスタ211、221のソースと接地電圧端との間に接続され、コントロールゲートがリセット信号252、254に接続されたフローティングゲート電界効果トランジスタ212、222と、デプレッショントランジスタ211、221のソースとフローティングゲート電界効果トランジスタ212、222のドレインとの間に位置した出力ノードの出力を反転させてダイナミック抵抗回路のトランジスタ205、206のゲートに各々印加するインバータ213、223とから構成される。ここで、フローティングゲート電界効果トランジスタ212、222は、ドレイン側に印加されるセル状態制御信号251、253に従って消去状態またはプログラム状態のセルになるEEPROMヒューズセルの役割を果たす。

基準電圧発生回路300は、電源電圧端と接地電圧端との間に各々チャネルが共通接続された

に基準電圧発生回路300に連結せらる。

高電圧感知回路200は、高電圧出力端19と接地電圧端との間に直列に連結された第1及び第2抵抗201、202と、第1抵抗201に並列に接続された第1及び第2ダイナミック抵抗203、205及び204、206とを有するダイナミック抵抗回路250と、第1及び第2ダイナミック抵抗203、205及び204、206に出力が各々連結された第1及び第2EEPROMヒューズ回路210、220とから構成される。第1または第2ダイナミック抵抗は、トランジスタ205、206と抵抗203、204とから構成されており、これらのトランジスタ及び抵抗は高電圧感知回路200の出力端207と高電圧出力端19との間に直列に連結され、第1及び第2抵抗201、202の間に位置している。トランジスタ205、206のゲートは各々、第1及び第2EEPROMヒューズ回路210、220の出力に接続されている。第1及び第2EEPROMヒューズ回路は、電源電圧端にドレインが接続さ

通常オン状態のデプレッショントランジスタ302、305と、二つのデプレッショントランジスタ302、305との間に直列に連結されゲートがライトエネイブル信号(WE)を共通に接続される二つのNMOSTランジスタ303、304と、ライトエネイブル信号(WE)を反転させてNMOSTランジスタのゲートに出力するインバータ301とから構成されている。

比較増幅回路400は、二つのPMOSTランジスタ403、404と三つのNMOSTランジスタ401、402、405とから構成されたNチャネル入力型の差動増幅器を使用している。接地電圧端V<sub>ss</sub>に接続されるNMOSTランジスタ405のゲートは、インバータ406を通じてライトエネイブル信号(WE)を受信する。比較増幅回路400の出力は、三つのインバータ407~409を通過した後に出力される。

ポンピング制御信号発生回路500は、所定のポンピングクロック( $\phi$ P)とライトエネイブル信号(WE)と比較増幅手段400の出力とを共

通に入力する二つのNORゲート501、502と、NORゲート501、502の出力を各々反転して二つの相互に異なる論理をもつポンピング制御信号17、18を出力するインバータ503～505とから構成されている。

次に、第1図～第3図を参照しながら本実施例の動作を説明する。

第2図によると、電圧ポンプ回路100が電圧をポンピングしない、即ち、高電圧発生回路が動作しない初期状態においては高電圧出力端19の電圧は第2プルアップトランジスタ12によつて $V_{cc}-V_{th}$ のレベルに維持されている。

次に、プログラムのためにライトエネイブル信号(WE)が“ロウ”状態にエネイブルされると、基準電圧発生回路300の出力310は、二つのデプレッショントランジスタ302、305によつて分圧された電圧値である所定の基準電圧になり、比較増幅回路400の出力410が“ロウ”状態になるので、ポンピング制御信号発生回路500はポンピングクロック( $\phi P$ )に反応し

て、相互に反対の論理をもつポンピング制御信号17、18を、電圧ポンプ回路100のキャパシタ13、15の一つの電極に各々供給する。

“ハイ”状態のポンピング制御信号17が、ゲートとドレインが電源電圧端 $V_{cc}$ に接続された第1プルアップトランジスタ11のソースに連結されたトランジスタ14のゲートとドレインに、印加されると、トランジスタ14のゲートとドレインには最初に $V_{cc}-V_{th}$ の電圧レベルにチャージされるのであるが、その電圧はより高レベルの電圧を得て、次段のトランジスタ16のドレインに供給され、高電圧出力端19の電圧は、ポンピングクロックパルス17、18の順次的なオシレーティング動作に反応して、プログラミングのため十分に高い電圧にまで増加する。

その時、高電圧感知回路200において高電圧出力端19の電圧を感知し、この出力260は基準電圧発生回路300の出力310と比較増幅回路400で比較される。高電圧感知回路200の出力260が基準電圧発生回路300の出力より

低い場合、比較増幅回路400の出力410は“ロウ”状態となり、電圧ポンプ回路100は、ポンピングクロックパルス $\phi P$ に反応して、高電圧出力端19の電圧を増加し続ける。

これとは反対に、高電圧感知回路200の出力260が基準電圧発生手段300の出力310のレベルより高い場合、比較増幅回路400の出力410が“ハイ”状態になり、そして、ポンピング制御信号17及び18は各々“ハイ”及び“ロウ”状態となるので、電圧ポンプ回路100は、これ以上ポンピングクロックパルス $\phi P$ に反応せず、ポンピング動作を停止する。従つて、高電圧出力端19の電圧はもはやこれ以上増加しない。即ち、高電圧出力端19の電圧は、常時、一定に維持される。

その上、高電圧出力端19の電圧は、高電圧感知回路200の出力260のレベルを調整することによつて制御される。このレベル調整は、高電圧感知回路200内にあるダイナミック抵抗回路250と第1及び第2EEPROMヒューズ回路

210、220によつてなし遂げられる。

第1抵抗201に並列に接続されたダイナミック抵抗回路250のトランジスタ205及び206のゲートは各々、第1及び第2EEPROMヒューズ回路210、220の各出力230、240に結合されているので、第1及び第2EEPROMヒューズ回路210、220の出力状態により、高電圧出力端19の電圧を感知または分圧する抵抗の値は変化する。これによつて比較増幅回路400の出力を調節して願う高電圧レベルを得ることができる。

ダイナミック抵抗回路250及び、第1及び第2EEPROMヒューズ回路210、220がないとすれば、高電圧感知回路200の出力電圧は、常時、第1抵抗201の値 $\times$ 高電圧出力端19の電位 $\div$ (第1抵抗201の値 $+$ 第2抵抗202の値)のレベルに維持されるであろう。

第1及び第2プログラム感知回路210、220の出力230、240は、フローティングゲート電界効果トランジスタで構成されるEEPROM

Mヒューズセル212、222のドレインとコントロールゲートに各々印加されるセル状態制御信号251、253とリセット信号252、254とによつて決定されるEEPROMヒューズセル212、222のメモリ状態によつて変化する。

これは一般的なEEPROMセルを消去またはプログラムする動作と同一である。

即ち、リセット信号252、254は、EEPROMセルのワードラインに印加される信号と同一であり、一方、セル状態制御信号251、253は、EEPROMセルのドレインに連結されたビットラインに印加される信号と同一である。

それ故、リセット信号及びセル状態制御信号が各々18V、0Vであるとする、EEPROMヒューズセル212、222は各々、消去されてエンハンスメント形となつており、その反対に、リセット信号及びセル状態制御信号が各々0V、18Vであるとする、EEPROMヒューズセル212、222は、デプレッション型にプログラムされた状態となる。

路300の出力310に比べて低いレベルをもつので、比較増幅回路400の出力410を“ロウ”状態にさせ、その結果、前述のように電圧ポンプ回路100をして高電圧出力端19の電圧を上昇させることになる。

さて次に第1及び第2EEPROMヒューズ回路210、220の出力230、240の状態に従う高電圧感知回路200の出力260の電圧レベルについて説明する。ここで、第1及び第2抵抗201、202と抵抗素子203及び204の抵抗値を各々R1、R2、R3、及び、R4とし、高電圧出力端19の電圧と高電圧感知回路200の出力260の電圧を各々V<sub>pp</sub>、V<sub>pd</sub>とする。

先ず、EEPROMヒューズ回路210、220の出力230、240が各々“ハイ”及び“ロウ”状態であると、 $V_{pd} = R2 \times V_{pp} / (R1 \parallel R3 + R2)$ となる。これとは反対に、出力230、240が各々“ロウ”及び“ハイ”状態であると、 $V_{pd} = R2 \times V_{pp} / (R1 \parallel R4 + R2)$ となる。また、その出力がすべて“ハイ”状態で

EEPROMヒューズセル212、222は、消去状態で、約3V程度の閾値電圧を得るので、セルのメモリ状態を読出すために、たとえ1~2Vレベル程度のリセット信号252、254をコントロールゲートに印加しても、セルの導通は行われない。

従つてこの場合、EEPROMヒューズ回路210、220の出力230、240は“ロウ”状態になり、セルの導通は行われない。

これとは反対に、EEPROMヒューズセル212、222がプログラムの状態であると、閾値電圧が約-2V程度になるので、1-2V程度の読出し用リセット信号252、254を印加するとセルは導通され、その結果EEPROMヒューズ回路の出力は“ハイ”状態になる。それ故、ダイナミック抵抗回路250のNMOSTランジスタ205、206を導通可能となる。

ダイナミック抵抗回路250が駆動されて第1抵抗201と共に並列抵抗を形成すると、高電圧感知回路200の出力260は、基準電圧発生回

あると、 $V_{pd} = R2 \times V_{pp} / (R1 \parallel R3 \parallel R4 + R2)$ になる。このように本実施例に従えば、高電圧出力端19は、第2図に示した高電圧感知回路200の感知レベルを制御することにより調整される。

#### 【他の実施例】

本実施例においては、高電圧出力端19の出力電圧の調整が、第3図に示す回路を用いることにより、基準電圧レベルを制御することによつてなされる例について説明する。

第3図は本実施例を示す回路図であつて、図示のように、基準電圧発生回路300にダイナミック抵抗回路340とプログラム状態感知回路210、220を連結している。ダイナミック抵抗回路340は、ゲートとソースが接地電圧端に共通接続されたデプレッショントランジスタ307、309とを有しており、これが第2図に示した前述の実施例との相違点である。

第3図でダイナミック抵抗回路340の第1及び第2のダイナミック抵抗306、307及び3

08、309各々は、基準電圧発生回路の出力350と接地電圧端との間に、直列に連結されたNMOSTランジスタ306、308及びデプレッショントランジスタ307、309とから構成されている。また、NMOSTランジスタ306、308の各ゲートは、第1及び第2EEPROMヒューズ回路210、220の出力230、240に各々接続されている。第1及び第2プログラム状態感知回路210、220は、第2図に示した回路と同様にデプレッショントランジスタ211、221と、フローティングゲート電界効果トランジスタ212、223と、インバータ213、223とから構成される。

一方、高電圧感知回路200は、高電圧出力端19と接地電圧端との間に直列に連結された第1及び第2抵抗201、202からのみ構成されている。

即ち、第3図に示すように、ダイナミック抵抗回路340が基準電圧発生回路300の出力350と接地電圧端との間に連結され、出力される基

“ハイ”及び“ロウ”、もしくは、“ロウ”及び“ハイ”、もしくは、すべて“ハイ”状態である場合、出力端350の基準電圧レベルはそれにより調節され、これはポンピングされて出力される高電圧レベルを変化させる。

第2図と第3図に示した実施例の回路で共通的に使用される第1及び第2EEPROMヒューズ回路210、220は、EEPROMヒューズセル212、222の消去またはプログラム状態に従い消去及びプログラム電圧レベルを制御する。例えば、メモリセルのプログラム時にドレイン側に最初に16V程度のプログラム電圧を印加したにもかかわらず、フローティングゲートに存在した電子が完全に抜き出ないためプログラム状態が安定しない場合に、再びプログラムするときは、それよりもっと高いレベルのプログラム電圧を印加する必要がある。さもなければ、適正レベルのプログラム電圧を維持する必要がある。消去時にも同じであることは勿論である。たとえ、EEPROMヒューズ回路210、220が本実施例に

準電圧のレベルを分圧によつて降下させる。ここでダイナミック抵抗回路の抵抗素子は、第2図に示した前述の実施例とは異なり、ゲートとチャネルが接地電圧端に接続されたデプレッショントランジスタを使用している。

ダイナミック抵抗回路340を構成するNMOSTランジスタ306、308のゲートには各々、第2図の場合と同様に、第1及び第2EEPROMヒューズ回路210、220の出力230、240が接続されている。従つて、EEPROMヒューズセル212、222がすべて消去された状態である場合、出力230、240がすべて“ロウ”状態になるので、ダイナミック抵抗回路340のNMOSTランジスタ306、308は全てターンオフされる。その結果、分圧用抵抗素子としてのデプレッショントランジスタ307、309は、基準電圧発生回路300の出力端350の電圧に何の影響も及ぼさない。

しかし、第1及び第2EEPROMヒューズ回路210、220の出力230、240が各々、

具備されていない場合であつても、高電圧感知回路200、基準電圧発生回路300、及び、比較増幅回路400の回路を通じて高電圧出力端19のレベルを一定に維持することは可能であるが、メモリセルのプログラム状態に従つて適正レベルに調整された高電圧を得ることは不可能である。

従つてこれら実施例に従えば、半導体メモリ素子の高電圧発生回路で最終的に出力される高電圧のレベルを感知してこれをフィードバックさせることによつて、一定のレベルの高電圧を維持することができる。

また、高電圧によつてプログラムされるメモリセルのプログラム状態に従つて高電圧のレベルを適正レベルに調整することができる。

さらに、これら実施例に従えば、従来の高電圧発生回路において単一素子の降伏特性だけを利用してのみ高電圧のレベルを調整するために発生する過負荷問題を未然に防ぐことによつてメモリ素子の信頼性を向上させることができる。

以上説明したように、ここでは2つの好適な実



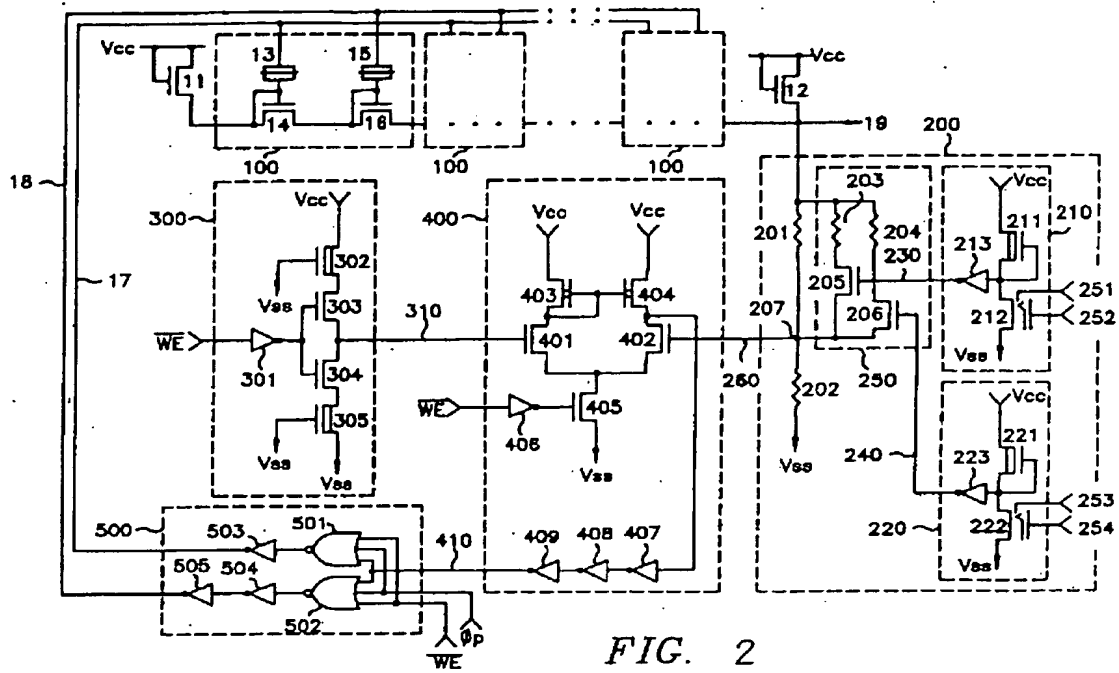


FIG. 2

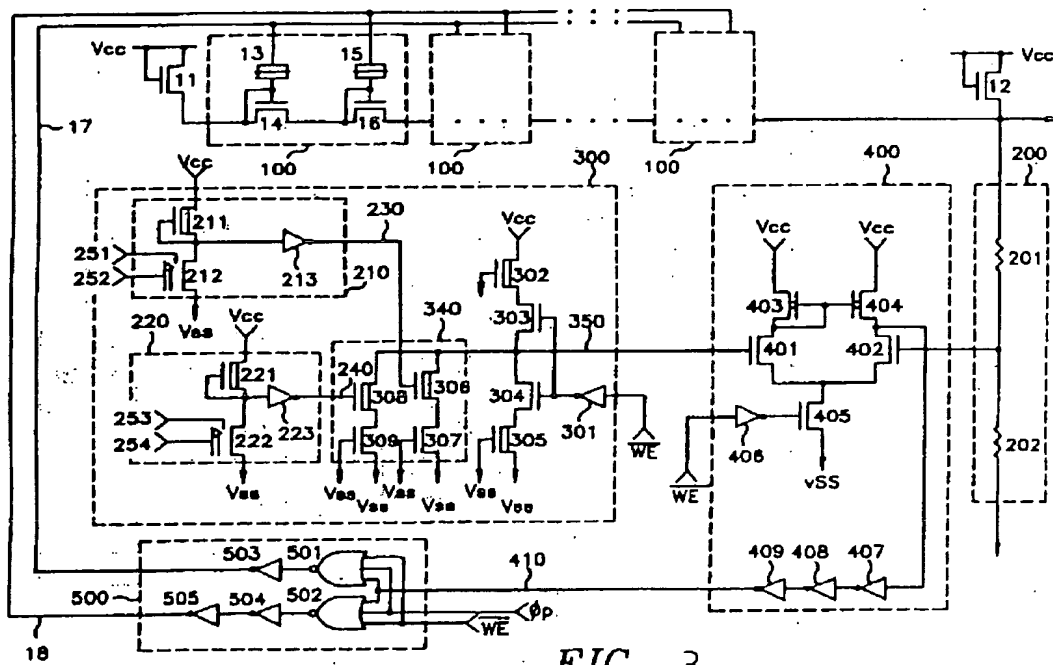


FIG. 3

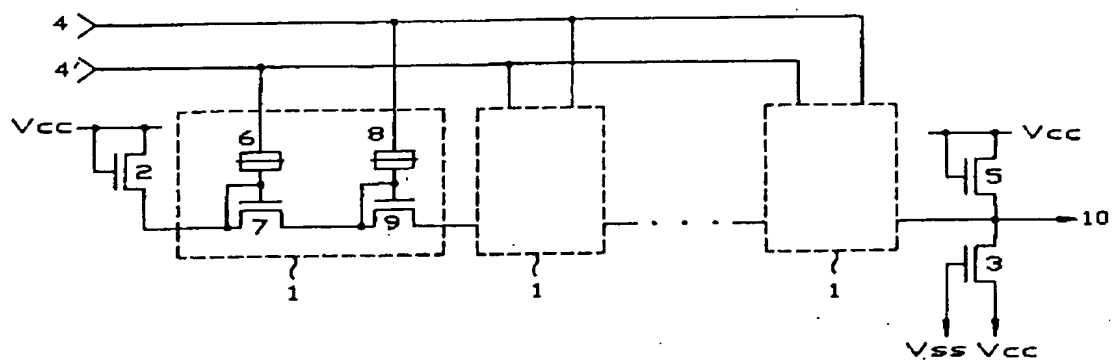


FIG. 4

第1頁の続き

⑤Int. Cl.<sup>5</sup>

G 05 F 1/10  
1/575  
H 01 L 27/04  
27/10  
29/788  
29/792

識別記号

4 8 1

庁内整理番号

C 8527-5H  
8938-5H  
G 7514-4M  
8624-4M